

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-261815

(43)Date of publication of application : 22.09.2000

(51)Int.Cl. H04N 9/07

// H04N 5/335

(21)Application number : 11-058437 (71)Applicant : CANON INC

(22)Date of filing : 05.03.1999 (72)Inventor : HASHIMOTO SEIJI

HOSHI JUNICHI

(54) IMAGE PICKUP DEVICE AND IMAGE PICKUP SYSTEM USING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an excellent picture without moire or the like.

SOLUTION: The image pickup device has a plurality of pixels arranged in column and row directions, common circuit each of which is connected in common to a plurality of pixels among a plurality of pixels, a signal from a plurality of the pixels is outputted to a vertical output line via the common circuit and each position of the pixels is shifted between adjacent rows or adjacent columns so as to make pixel pitch of the pixels with a color filter providing a major component to form a luminance signal equal to each other.

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]An imaging device having shifted and arranged a pixel in a contiguity line or a contiguity sequence in order to make equal a picture element pitch of a pixel in which a colored filter which serves as the main ingredients in order to have the following, to output a signal from said two or more pixels to a vertical output line via said common circuit and to form a luminance signal was installed.

Two or more pixels arranged in a line writing direction and a column direction.

One common circuit which carried out common connection every two or more pixels of said two or more pixels.

[Claim 2]An imaging device having shifted a pixel in which a colored filter used as the main ingredients was installed in claim 1 in order to form a luminance signal $3/2$ pitch, and having arranged it in a contiguity line or a contiguity sequence.

[Claim 3]An imaging device having arranged said pixel on both sides of said common circuit in claim 2.

[Claim 4]An imaging device, wherein a colored filter installed in a near pixel of a method of one of said common circuit is a color of the main ingredients which form a luminance signal in claim 3 and a colored filter installed in a pixel of another side is a color of an ingredient which forms a color-difference signal.

[Claim 5]An imaging device, wherein said common circuit includes an amplifying means which amplifies and outputs a signal from said pixel in any 1 paragraph of claim 1 thru/or claim 4.

[Claim 6]Claim 5 comprising:

A transfer means by which said common circuit transmits a signal from said pixel to said amplifying means.

A resetting means which resets inside of said common circuit.

[Claim 7]An imaging device having a noise rejection means to remove a noise signal in said common circuit, in any 1 paragraph of claim 1 thru/or claim 6 from a signal from said pixel outputted via said common circuit.

[Claim 8]An imaging system comprising:

An imaging device of any 1 paragraph of claim 1 thru/or claim 7.

A signal processing means which forms a luminance signal and a

color-difference signal based on a signal from said imaging device.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the imaging device which picturizes a picture, and the imaging system using it.

[0002]

[Description of the Prior Art]Conventionally, the imaging device which performs predetermined processing to the signal charge accumulated in the photo-diode which is a photoelectric conversion part, and is outputted to a vertical output line exists.

[0003]For example, there is an imaging device including the amplifying means which amplifies the signal charge accumulated in the photo-diode which is a photoelectric conversion part by a MOS transistor, and is outputted to a vertical output line. Since the amplifying means which amplifies a signal charge exists in each pixel, it is called the gain cell or APS.

[0004]Since APS has an amplifying means and its control means in a pixel, the

rate (area rate) of occupying to the pixel of a photoelectric conversion part, or the rate (numerical aperture) of occupying to the pixel of the field into which light enters tends to become small. Therefore, the dynamic range of an imaging device, sensitivity, a S/N ratio, etc. have a possibility of falling.

[0005]Also in not a pixel including an amplifying means but the pixel containing a means to perform other processings, this problem is the same.

[0006]As a method of preventing decline in the area rate by an amplifying means etc., and a numerical aperture, the way two or more photoelectric conversion parts share a common circuit including one amplifying means etc. is proposed so that JP,63-100879,A or JP,9-46596,A may see, for example.

[0007]

[Problem(s) to be Solved by the Invention]However, it was not indicated by above-mentioned JP,63-100879,A or JP,9-46596,A about concrete arrangement with a photoelectric conversion part and a common circuit.

[0008]An object of this invention is to provide the imaging device which has arrangement with the photoelectric conversion part and common circuit which can obtain good performance, without reducing resolution.

[0009]An object of this invention is to provide the imaging device which has a noise rejection means used suitably for the above-mentioned imaging device.

[0010]

[Means for Solving the Problem]Two or more pixels arranged as the 1st means in a line writing direction and a column direction in order to solve the above-mentioned technical problem, It has one common circuit which carried out common connection every two or more pixels of two or more pixels, In order to make equal a picture element pitch of a pixel in which a colored filter which serves as the main ingredients in order to output a signal from two or more pixels to a vertical output line via a common circuit and to form a luminance signal was installed, an imaging device having shifted and arranged a pixel in a contiguity line or a contiguity sequence is provided.

[0011]A pixel in which a colored filter used as the main ingredients was installed in order to form a luminance signal in an imaging device explained as the 1st means provides an imaging device having shifted $3/2$ pitch and having arranged in a contiguity line or a contiguity sequence as the 2nd means.

[0012]In an imaging device explained as the 2nd means, an imaging device having arranged said pixel on both sides of a common circuit is provided as the 3rd means.

[0013]In an imaging device explained as the 3rd means as the 4th means, A colored filter installed in a near pixel of a method of one of a common circuit is a color of the main ingredients which form a luminance signal, and an imaging device, wherein a colored filter installed in a pixel of another side is a color of an

ingredient which forms a color-difference signal is provided.

[0014]In an imaging device explained by any one of the 1st thru/or the 4th means, an imaging device, wherein a common circuit includes an amplifying means which amplifies and outputs a signal from a pixel is provided as the 5th means.

[0015]In an imaging device explained as the 5th means, a common circuit provides an imaging device including a transfer means which transmits a signal from a pixel to an amplifying means, and a resetting means which resets inside of said common circuit as the 6th means.

[0016]An imaging device having a noise rejection means to remove a noise signal in a common circuit is provided as the 7th means from a signal from a pixel outputted via a common circuit in an imaging device explained by any one of the 1st thru/or the 6th means.

[0017]An imaging system having an imaging device explained by any one of the 1st thru/or the 7th means and a signal processing means which forms a luminance signal and a color-difference signal based on a signal from an imaging device as the 8th means is provided.

[0018]

[Embodiment of the Invention]The technological background which results in this invention in advance of explanation of the embodiment of this invention is

explained. In this embodiment, the photo-diode which is a photoelectric conversion part shall be 1 pixel.

[0019]This invention persons considered the pixel layout in the imaging device which shares an amplifying means (amplifier) between two or more pixels which is looked at by JP,63-100879,A or JP,9-46596,A as an example of one common circuit mentioned above.

[0020]The pixel layout pattern of an example of an imaging device is shown in drawing 10. This example is an example which shares an amplifying means every two lines of the pixel arranged in the line writing direction (a_{11} , a_{12} , the direction of --), and the column direction (a_{11} , a_{21} , the direction of --), The amplifying means 204 is arranged between the two photo-diodes 203 (a_{11} , a_{21} and a_{12} , a_{22} and a_{31} , a_{41} and a_{32} , a_{42} , --). The repeating unit cell for two lines and 202 show the repeating unit cell for one row 201 here. However, since the arrangement of a photo-diode does not serve as even pitch so that clearly from drawing 10, the following problems produce such arrangement.

[0021]The case where the filter of a Bayer array has been arranged as shown in drawing 10 is considered. If sensitive luminosity (Y) is considered to human being's eye, G which contributes most to luminosity (Y) at least in the arrangement of drawing 10 is not even pitch arrangement. That is, considering arrangement of the photo-diode with which the filter of G is arranged, the

distance of a_{12} , the distance of a_{23} , a_{23} , and a_{32} differs. Thus, problems, such as a moire pattern, generate the arrangement whose G which contributes most to luminosity (Y) is not even pitch, and human being's eye comes to sense degradation of a picture remarkable.

[0022]This invention persons found out the imaging device explained below, as a result of advancing examination further in view of the above-mentioned point.

[0023]Hereafter, the embodiment of this invention is described using a drawing.

[0024]Drawing 1 shows arrangement of a photo-diode and a common circuit.

[0025]The photo-diode serves as arrangement which shifted $1/2$ pitch by the adjoining spacing so that drawing 1 may show, G which is a color which serves as the main ingredients in order to form a luminance signal in the oddth line, and R which is the colors of the ingredient which forms a color-difference signal face each other across a common circuit, In even lines, in order to form a luminance signal, G which is a color used as the main ingredients, and B which is the colors of the ingredient which forms a color-difference signal face each other across the common circuit. In a line writing direction and a column direction, it becomes arrangement of even pitch, problems, such as a moire pattern, are solved, and G stops thus, impressing image deterioration for human being's eye, when G which contributes most to luminosity (Y) makes it the arrangement which shifted $3/2$ pitch by contiguity spacing.

[0026]Next, the concrete pattern layout figure of the unit cell which comprises a common circuit portion of drawing 1 and a photo-diode in the both sides is shown in drawing 2.

[0027]What is shown in drawing 2 is created by a single crystal silicon process. The size of a photo-diode is an 8-micrometer angle, and the dotted line of 41 shows it. Two photo-diodes are made into 1 set as mentioned above, and it is arranged at two-dimensional array form. The center of the two above-mentioned photo-diodes is the above-mentioned common circuit, and it is a photo-diode for which G is installed in left-hand side and the filter of R or B is installed in right-hand side. Drawing 2 is the amplifying means which used the MOS transistor as an example of a common circuit. A layout rule is 0.4 micrometer, and the area (area rate) of the photo-diode 42 which is a photoelectric conversion part, and an effective area product (numerical aperture) are 57.96-micrometer² (60.4%) and 28.88-micrometer² (30.1%) respectively, and serve as a value in which all are very high.

[0028]43 is a transfer gate for the photo-diodes 42-54 for G to transmit the electric charge from photo-diode 42' for R/B, It is MOS Tr (L= 0.4 micrometer and W= 1.0 micrometer), and the above-mentioned photo-diode 42 and the work which transmits optical stored charge to the floating diffusion 45 (following FD) from 42' are shown. 47 is a reset gate for resetting FD to the potential of the

power-supply-voltage V_{DD} terminal 50. 46 is an input gate of MOS type source follower amplifier, changes the potential by the above-mentioned electric charge, and modulates the current which flows in from the V_{DD} terminal 50.

[0029]The sum total capacity of the above-mentioned FD and an input gate is about 10 fF, and only the part with the above-mentioned large photo-diode serves as a value with said big capacity value. The signal current which received the above-mentioned abnormal conditions is outputted to the vertical signal wire 49 from the selector gate 48 to which signal current is made to output selectively eventually.

[0030]51, 52, 53, and 54 are the scanning lines for supplying predetermined potential, and supply potential to the selector gate 48, the transfer gates 43 and 44, and the reset gate 47, respectively.

[0031]Next, signal processing for the noise rejection used suitably for the imaging device explained above is explained.

[0032]Drawing 3 is a representative circuit schematic of this embodiment. Common circuit, 42, and 42' is a pixel, and 72 shows drawing 4 here the equivalent circuit of the unit cell 74 constituted from a common circuit and a pixel in the both sides. The unit cell 47 is an equivalent circuit of the pattern layout of the unit cell shown by drawing 2.

[0033]In drawing 4, V_{DD} terminal and 45 50 Floating diffusion, Reset MOS which

is a resetting means for 63 to reset floating diffusion, Transmission MOS which is a transfer means for 64 and 64' to transmit the photo-diode 42 and the photoelectrical load from 42' which are pixels to floating diffusion, Amplification MOS and 66 which are amplifying means for 65 to amplify and output the electrical change of floating diffusion are selection MOS which is a selecting means for outputting the output from amplification MOS to the vertical output line 57 selectively. It is for supplying the potential for making scanning line 54, 51, 52, and 53 and ***** reset MOS63, selection MOS66, transmission MOS64, and transmission MOS64' turn on and off. 63, 64, 64', and MOS of 65 and 66 constitute the common circuit from the above-mentioned unit cell. moreover -- in the pattern layout shown in drawing 2 -- the transfer gate 43 -- the transfer gate 44 is equivalent to the gate of transmission MOS64, the reset gate 47 is equivalent to the gate of transmission MOS64', and the gate of reset MOS63 and the selector gate 48 are equivalent to the gate of selection MOS66.

[0034]Next, noise rejection operation of this embodiment is explained using the timing chart of the circuit diagram of drawing 3 and drawing 4 and drawing 5, and drawing 6.

[0035]A vertical scanning is started by clock ϕV (n) showing a vertical blanking period as shown in drawing 5. Signal ϕTX_{RO-1} first impressed to the reset line 54 of the 1st line is activated during a horizontal blanking period (period when

phiHBL is high-level), and, subsequently to the 2nd line and Mr. 3rd line ****, is performed. Thereby, the pixel of each line is reset by V_{DD} which is reset potential (drawing 5).

[0036]As shown in drawing 6 during each horizontal period, in period T_1 , signal phiRV becomes high-level, and the vertical signal wire 49 is reset. [the transistor 80 for reset linked to the vertical signal wire 49] One [it / phiT_N, phiT_{S1}, and phiT_{S2} become high-level and / each gate-transistors 82-1,82-2,82-3], From transistor 84-1,84-2 for signal read-out, and 84-3, wiring [to Saki] and storage capacitance 83-1,83-2 and 83-3 (C_{TN} , C_{TS1} , C_{TS2}) flow with the vertical signal wire 57, and are reset similarly. Thereby, the electric charge which was being accumulated in storage capacitance 83-1,83-2 and 83-3 grade is removed.

[0037]Subsequently, at period T_2 , signal phiTX_{RO} impressed to the reset line 54 becomes high-level, and the floating gate which is an input gate of the source follower amplifier in a pixel is reset by V_{DD} .

[0038]Subsequently, by period T_3 , signal phiL becomes high-level, and the vertical signal wire 57 is grounded. [the transistor 81 for grounding linked to the vertical signal wire 49] In order to connect storage capacitance C_{TN} 83-1 for accumulating a noise component with it to the vertical signal wire 49, phiT_N is made high-level and the gate transistors 82-1 are made one. Then, it is set to the signal phiS0 impressed to the selecting line 60 being high-level, When the

current according to the potential ($-V_{DD}$) of the Groote IINGU gate flows in toward storage capacitance C_{TN} 83-1 from V_{DD} terminal, storage capacitance C_{TN} 83-1 comes to hold the electric charge of a noise component.

[0039]Next, and the stored charge corresponding to the image light in the pixel 42 is transmitted to a floating gate. [the transfer gate for G pixels in which signal ϕ_{TX00} impressed to the scanning line 53 for G pixels becomes high-level and which has it in a pixel by period T_4] Then the storage capacitance connected to the vertical signal wire 49, ϕ_{TN} by making a low level and ϕ_{TS1} high-level. It is storage capacitance C_{TS1} for signal accumulation from storage capacitance C_{TN} for noise accumulation, and the electric charge of the signal of the odd number sequence equivalent to photo-diode a_{11} is held via the vertical signal wire 49 at storage capacitance C_{TS1} .

[0040]Subsequently, in period T_5 , ϕ_{RV} becomes high-level and only the vertical signal wire 49 is reset. Since ϕ_{S0} , ϕ_{TN} - ϕ_{TS2} of other circuits are low level, the influence of reset does not win popularity, but the state is held.

[0041]Next, signal ϕ_{TXR0} impressed to the reset line 54 between period T_5 and period T_6 becomes high-level, and floating diffusion is reset by V_{DD} .

[0042]Next, in period T_6 , shortly, signal ϕ_{TX0e} impressed to the scanning line 52 for R/B pixels becomes high-level, and the stored charge of pixel 42' is transmitted to a floating gate, Then the storage capacitance connected to the

vertical signal wire 49, It is storage capacitance C_{TS2} for signal accumulation by making ϕ_{TS2} high-level, and the signal charge of the even number sequence equivalent to photo-diode a_{12} is held via the vertical signal wire 49 at storage capacitance C_{TS2} .

[0043]Thus, the electric charge of the noise component for one line, the first signal, and the second signal is accumulated in storage capacitance C_{TN} , C_{TS1} , and C_{TS2} for every sequence.

[0044]Next, in order to transmit respectively the electric charge accumulated in storage capacitance C_{TN} of each sequence - C_{TS2} to the amplification amplifier 86-1 to 86-3 one by one in period T_7 , One [gate-transistors 84-1,84-2,84-3 arranged for every sequence by making horizontal scanning pulse ϕ_{Hn} high-level one by one for every sequence with the horizontal shift register 71], It is made to flow through storage capacitance C_{TN} - C_{TS2} , and the amplification amplifier 86-1 to 86-3 for every sequence. From the amplification amplifier 86-1 to 86-3, the R/B ingredient to which a noise component, and the first signal and the second signal were outputted, and G ingredient to which the noise component was pulled from the first signal with the differential amplifier 87-1 was outputted, and the noise component was pulled from the second signal with the differential amplifier 87-2 is outputted. Period T_7 is also a period when photoelectrical load accumulation of a photo-diode is performed.

[0045]In not resetting without making high-level signal ϕ_{TXR0} impressed to the reset line 54 between period T_5 and period T_6 , In period T_6 , the stored charge of pixel 42' is transmitted to a floating gate (the transmission electric charge from the pixel 42 remains), and the electric charge of two ingredients of signals of the signal equivalent to the pixel 42 and the signal equivalent to pixel 42' is held via the vertical signal wire 49 at storage capacitance C_{TS2} . Therefore, the electric charge of the noise component for one line, one ingredient of signals, and two ingredients of signals can be accumulated in storage capacitance C_{TN} , C_{TS1} , and C_{TS2} for every sequence. In period T_7 , in the amplification amplifier 86-1 to 86-3, and a noise component, The R/B ingredient to which the signal 1 and two ingredients of signals were outputted, and G ingredient to which the noise component was pulled from one ingredient of signals with the differential amplifier 87-1 was outputted, and the noise component was pulled from two ingredients of signals with the differential amplifier 87-2 is outputted.

[0046]Although the above-mentioned embodiment described the thing of the arrangement which shifted the pixel by contiguity spacing, it may arrange by shifting a pixel between contiguity sequences, as shown in drawing 7 so that G pixel which is the main ingredients for forming a luminance signal may be made into even pitch.

[0047]Although two or more pixels are arranged to one amplifying means as a

common circuit and the unit cell is constituted from an above-mentioned embodiment, Even if it is except an amplifying means, digital disposal circuits, such as what processes the signal from two or more pixels, for example, an A/D conversion, (U.S. Pat. No. 5431425), and graphical data compression (Institute of Television Engineers of Japan vol50, no3, pp335-338-1995), may be sufficient.

[0048]The system block figure which used the imaging device of this invention is shown in drawing 8.

[0049]Image formation of the image light which entered through the optical system 21 is carried out on the imaging device 22. the signal by which photoelectrical change was carried out with the imaging device 22 is the digital disposal circuit 23 -- R and G -- B processing of is done, and it is recorded or connected to the recording system or the communication system 24 of a picture signal. The imaging device 22, the signal processing 23, and record/communication item system are controlled by the timing circuit 25 and the system control 26.

[0050]The recorded signal is reproduced and displayed by necessity by the reversion system 27.

[0051]Drawing 9 is an approximate account figure of the signal-processing system 23.

[0052]G from the imaging device 22 and a R/B signal have a luminance signal

and a color-difference signal formed of DSP. The low-pass ingredient of a luminance signal is formed from R, G, and B signal of two lines which adjoins at least.

[0053]The high-frequency component of a luminance signal is formed from the high-frequency component of G signal of two lines which adjoins at least. Thereby, the good picture of color reproduction is acquired with the degree of high solution.

[0054]

[Effect of the Invention]As explained above, according to this invention, sensitivity, resolution, and the large imaging device of a dynamic range can be obtained.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is an outline layout pattern of the imaging device of this invention.

[Drawing 2]It is a concrete layout pattern of the imaging device of this invention.

[Drawing 3]It is a representative circuit schematic of the imaging device of this invention.

[Drawing 4] It is a representative circuit schematic of the imaging device of this invention.

[Drawing 5] It is a figure of the timing chart for operating the imaging device of this invention.

[Drawing 6] It is a figure of the timing chart for operating the imaging device of this invention.

[Drawing 7] It is an outline layout pattern of the imaging device of this invention.

[Drawing 8] It is an imaging system figure using the imaging device of this invention.

[Drawing 9] It is a figure showing the signal-processing system of the imaging system of drawing 7.

[Drawing 10] It is an outline layout pattern of an imaging device.

[Description of Notations]

21 Optical system

22 Imaging device

23 Signal-processing system

42 Photo-diode

63 Reset MOS

64 Transmission MOS

65 Amplification MOS

66 Selection MOS

72 Common circuit

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-261815

(P2000-261815A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 4 N 9/07

H 0 4 N 9/07

A 5 C 0 2 4

// H 0 4 N 5/335

5/335

P 5 C 0 6 5

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平11-58437

(22) 出願日 平成11年3月5日 (1999.3.5)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 橋本 誠二

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 星 淳一

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100090538

弁理士 西山 恵三 (外2名)

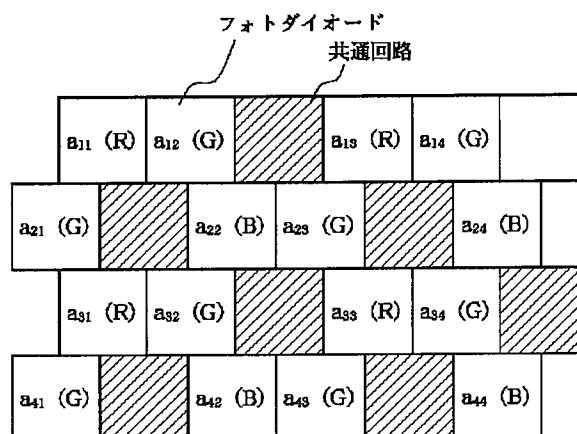
最終頁に続く

(54) 【発明の名称】 撮像装置及びそれを用いた撮像システム

(57) 【要約】

【課題】 モアレ等のない良好な画像を得ることを課題とする。

【解決手段】 行方向及び列方向に配列された複数の画素と、複数の画素内の複数の画素毎に共通接続した1つの共通回路とを有し、複数の画素からの信号は前記共通回路を介して垂直出力線に出力し、輝度信号を形成するために主成分となる色フィルタが設置された画素の画素ピッチを等しくするために隣接行又は隣接列で画素をずらして配置したことを特徴とする撮像装置を提供する。



【特許請求の範囲】

【請求項 1】 行方向及び列方向に配列された複数の画素と、
前記複数の画素内の複数の画素毎に共通接続した 1 つの共通回路とを有し、
前記複数の画素からの信号は前記共通回路を介して垂直出力線に出力し、
輝度信号を形成するために主成分となる色フィルタが設置された画素の画素ピッチを等しくするために隣接行又は隣接列で画素をずらして配置したことを特徴とする撮像装置。

【請求項 2】 請求項 1 において、輝度信号を形成するために主成分となる色フィルタが設置された画素は、隣接行又は隣接列で 3/2 ピッチずらして配置したことを特徴とする撮像装置。

【請求項 3】 請求項 2 において、前記共通回路の両側に前記画素を配置したことを特徴とする撮像装置。

【請求項 4】 請求項 3 において、前記共通回路の 1 方の側の画素に設置された色フィルタは輝度信号を形成する主成分の色であり、他方の画素に設置された色フィルタは色差信号を形成する成分の色であることを特徴とする撮像装置。

【請求項 5】 請求項 1 乃至請求項 4 のいずれか 1 項において、前記共通回路は、前記画素からの信号を増幅して出力する増幅手段を含むことを特徴とする撮像装置。

【請求項 6】 請求項 5 において、前記共通回路は前記画素からの信号を前記増幅手段に転送する転送手段と、前記共通回路内をリセットするリセット手段を含むことを特徴とする撮像装置。

【請求項 7】 請求項 1 乃至請求項 6 のいずれか 1 項において、前記共通回路を介して出力された前記画素からの信号から、前記共通回路内のノイズ信号を除去するノイズ除去手段を有することを特徴とする撮像装置。

【請求項 8】 請求項 1 乃至請求項 7 のいずれか 1 項の撮像装置と、
前記撮像装置からの信号に基づいて輝度信号及び色差信号を形成する信号処理手段とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は画像を撮像する撮像装置及びそれを用いた撮像システムに関するものである。

【0002】

【従来の技術】 従来、光電変換部であるフォトダイオードに蓄積された信号電荷に対して所定の処理を施し垂直出力線に出力する撮像装置が存在する。

【0003】 例えば光電変換部であるフォトダイオードに蓄積された信号電荷を MOS トランジスタによって増幅して垂直出力線に出力する増幅手段を含む撮像装置が

ある。信号電荷を増幅する増幅手段は各々の画素中に存在するため、ゲインセルあるいは APS と呼ばれている。

【0004】 APS は画素中に増幅手段やその制御手段を有するため、光電変換部の画素に占める割合（面積率）、あるいは、光が入射する領域の画素に占める割合（開口率）は小さくなりがちである。従って撮像装置のダイナミックレンジ、感度、S/N 比等は低下する恐れがある。

10 【0005】 この問題は、増幅手段を含む画素ではなく、他の処理を行う手段を含む画素においても同様である。

【0006】 増幅手段等による面積率、開口率の低下を防ぐ方法として、例えば特開昭 63-100879 号公報あるいは特開平 9-46596 号公報に見られるように、複数の光電変換部で 1 つの増幅手段等を含む共通回路を共有する方法が提案されている。

【0007】

20 【発明が解決しようとする課題】 しかしながら、上記特開昭 63-100879 号公報あるいは特開平 9-46596 号公報には光電変換部と共通回路との具体的な配置については開示されていなかった。

【0008】 本発明は、解像度を低下させることなく、良好な性能を得ることができる、光電変換部と共通回路との配置を有する撮像装置を提供することを目的とする。

【0009】 また、本発明は上記の撮像装置に好適に用いられるノイズ除去手段を有する撮像装置を提供することを目的とする。

30 【0010】

【課題を解決するための手段】 上記の課題を解決するために、第 1 の手段として行方向及び列方向に配列された複数の画素と、複数の画素内の複数の画素毎に共通接続した 1 つの共通回路とを有し、複数の画素からの信号は共通回路を介して垂直出力線に出力し、輝度信号を形成するために主成分となる色フィルタが設置された画素の画素ピッチを等しくするために隣接行又は隣接列で画素をずらして配置したことを特徴とする撮像装置を提供する。

40 【0011】 また、第 2 の手段として、第 1 の手段として説明した撮像装置において、輝度信号を形成するために主成分となる色フィルタが設置された画素は、隣接行又は隣接列で 3/2 ピッチずらして配置したことを特徴とする撮像装置を提供する。

【0012】 また、第 3 の手段として、第 2 の手段として説明した撮像装置において、共通回路の両側に前記画素を配置したことを特徴とする撮像装置を提供する。

【0013】 また、第 4 の手段として、第 3 の手段として説明した撮像装置において、共通回路の 1 方の側の画素に設置された色フィルタは輝度信号を形成する主成分

の色であり、他方の画素に設置された色フィルタは色差信号を形成する成分の色であることを特徴とする撮像装置を提供する。

【0014】また、第5の手段として、第1乃至第4の手段のいずれか1つで説明した撮像装置において、共通回路は、画素からの信号を増幅して出力する増幅手段を含むことを特徴とする撮像装置を提供する。

【0015】また、第6の手段として、第5の手段として説明した撮像装置において、共通回路は画素からの信号を増幅手段に転送する転送手段と、前記共通回路内をリセットするリセット手段を含む撮像装置を提供する。

【0016】また、第7の手段として、第1乃至第6の手段のいずれか1つで説明した撮像装置において、共通回路を介して出力された画素からの信号から、共通回路内のノイズ信号を除去するノイズ除去手段を有することを特徴とする撮像装置を提供する。

【0017】また、第8の手段として、第1乃至第7の手段のいずれか1つで説明した撮像装置と、撮像装置からの信号に基づいて輝度信号及び色差信号を形成する信号処理手段とを有することを特徴とする撮像システムを提供する。

【0018】

【発明の実施の形態】本発明の実施形態の説明に先だって本発明にいたる技術的背景について説明する。本実施形態においては、光電変換部であるフォトダイオードを1画素とする。

【0019】本発明者らは、前述した、特開昭63-100879号公報あるいは特開平9-46596号公報に見られるような、複数画素で1つの共通回路の一例として増幅手段（アンプ）を共有する撮像装置における、画素レイアウトを検討した。

【0020】図10に撮像装置の一例の画素レイアウト図を示す。本例は行方向（ a_{11} , a_{12} , …の方向）及び列方向（ a_{11} , a_{21} , …の方向）に配列された画素の2行毎に増幅手段を共有する例であり、2つのフォトダイオード203（ a_{11} と a_{21} 、 a_{12} と a_{22} 、 a_{31} と a_{41} 、 a_{32} と a_{42} 、…）の間に増幅手段204が配置されている。ここで201は2行分の繰返し単位セル、202は1列分の繰返し単位セルを示す。しかし、このような配置は図10から明らかなように、フォトダイオードの配列が等ピッチとはならないため、次のような問題が生じる。

【0021】図10に示すようにバイヤー配列のフィルタを配置した場合について考える。人間の眼に対して敏感な輝度（Y）について考えると図10の配列では少なくとも輝度（Y）に対して最も寄与するGが等ピッチ配列でない。つまり、Gのフィルタが配置されているフォトダイオードの配置を考えると、 a_{12} と a_{23} の距離と a_{23} と a_{32} の距離は異なっている。このように、輝度（Y）に対して最も寄与するGが等ピッチでない配列

は、モアレ縞等の問題が発生し、人間の眼は著しく画像の劣化を感じるようになる。

【0022】本発明者らは上記の点に鑑み、さらに検討を進めた結果、以下に説明する撮像装置を見出した。

【0023】以下、本発明の実施形態について図面を用いて説明する。

【0024】図1は、フォトダイオードと共通回路の配置を示したものである。

【0025】図1からわかるように、フォトダイオードは隣接する行間で1/2ピッチずれた配置となっており、奇数行目では輝度信号を形成するために主成分となる色であるGと色差信号を形成する成分の色であるRが共通回路をはさんで向かい合、偶数行では輝度信号を形成するために主成分となる色であるGと色差信号を形成する成分の色であるBが共通回路をはさんで向かい合っている。このように、輝度（Y）に対して最も寄与するGが隣接行間で3/2ピッチずれた配置にすることによりGは、行方向及び列方向において等ピッチの配置になり、モアレ縞等の問題が解消し、人間の眼にとって画像劣化を感じさせなくなる。

【0026】次に、図1の共通回路部分とその両側にあるフォトダイオードとで構成される単位セルの具体的なパターンレイアウト図を図2に示す。

【0027】図2に示すものは、単結晶シリコンプロセスで作成される。フォトダイオードの大きさは $8\mu\text{m}$ 角であり、41の点線で示している。前述のように2つのフォトダイオードを1組として2次元アレー状に配置されている。上記2つのフォトダイオードの中央は前述の共通回路であり、左側はG、右側はR又はBのフィルタが設置されるフォトダイオードである。図2は、共通回路の一例としてMOSトランジスタを用いた増幅手段である。レイアウトルールは $0.4\mu\text{m}$ であり、光電変換部であるフォトダイオード42の面積（面積率）、開口面積（開口率）は各々 $57.96\mu\text{m}^2$ （60.4%）、 $28.88\mu\text{m}^2$ （30.1%）であり、いずれも非常に高い値となっている。

【0028】43はG用のフォトダイオード42からの、54はR/B用のフォトダイオード42'からの電荷を転送するための転送ゲートであり、 $L=0.4\mu\text{m}$ 、 $W=1.0\mu\text{m}$ のMOS Trであり、上記フォトダイオード42、42'からフローティングディフュージョン45（以下FD）に光蓄積電荷を転送する働きを示す。47はFDを電源電圧 V_{DD} 端子50の電位にリセットするためのリセットゲートである。46はMOS型ソースフォロワーアンプの入力ゲートであり、上記電荷によってその電位を変え、 V_{DD} 端子50から流れ込む電流を変調させる。

【0029】上記FDと入力ゲートの合計容量は10fF程度であり、上記フォトダイオードが大きい分だけ、前記容量値は大きな値となっている。上記変調を受けた

信号電流は、最終的には選択的に信号電流を出力させる選択ゲート48から垂直信号線49に出力される。

【0030】又、51、52、53、54は所定の電位を供給するための走査線であり、それぞれ選択ゲート48、転送ゲート43、44、リセットゲート47に電位を供給する。

【0031】次に、上記で説明した撮像装置に好適に用いられるノイズ除去のための信号処理について説明する。

【0032】図3は、本実施形態の等価回路図である。ここで72は共通回路、42、42'は画素であり、共通回路とその両側にある画素とで構成する単位セル74の等価回路を図4に示す。単位セル47は図2で示した単位セルのパターンレイアウトの等価回路である。

【0033】図4において50はV_{DD}端子、45はフローティングディフュージョン、63はフローティングディフュージョンをリセットするためのリセット手段であるリセットMOS、64、64'は画素であるフォトダイオード42、42'からの光電荷をフローティングディフュージョンに転送するための転送手段である転送MOS、65はフローティングディフュージョンの電位変化を増幅して出力するための増幅手段である増幅MOS、66は増幅MOSからの出力を垂直出力線57に選択的に出力するための選択手段である選択MOSである。また走査線54、51、52、53、はそれぞれリセットMOS63、選択MOS66、転送MOS64、転送MOS64'をON/OFFさせるための電位を供給するためのものである。上記単位セルでは、63、64、64'、65、66のMOSによって共通回路を構成している。又、図2に示したパターンレイアウトにおいて、転送ゲート43は転送MOS64のゲートに、転送ゲート44は転送MOS64'のゲートに、リセットゲート47はリセットMOS63のゲート、選択ゲート48は選択MOS66のゲートに相当する。

【0034】次に、図3、図4の回路図及び図5、図6のタイミングチャートを用いて、本実施形態のノイズ除去動作について説明する。

【0035】図5に示すように、垂直ブランキング期間を表わすクロックφV(n)によって垂直走査が開始される。まず1行目のリセット線54に印加される信号φTX_{R0-1}が水平ブランキング期間(φHBLがハイレベルの期間)中に活性化し、次いで2行目、3行目が同様に行われる。これにより、各行の画素がリセット電位であるV_{DD}にリセットされる(図5)。

【0036】各水平期間中には図6に示したように、期間T₁では信号φRVがハイレベルとなって、垂直信号線49に接続するリセット用トランジスタ80がオンし、垂直信号線49がリセットされる。それと共にφTN、φTS₁、φTS₂がハイレベルとなって各ゲートトランジスタ82-1、82-2、82-3がオンし、信号

読出用トランジスタ84-1、84-2、84-3より前までの配線と蓄積容量83-1、83-2、83-3(C_{TN}、C_{TS1}、C_{TS2})が垂直信号線57と導通し、同様にリセットされる。これにより、蓄積容量83-1、83-2、83-3等に蓄積していた電荷が除去される。

【0037】次いで期間T₂で、リセット線54に印加される信号φTX_{R0}がハイレベルとなって画素中のソースフォロワーアンプの入力ゲートであるフローティングゲートがV_{DD}にリセットされる。

【0038】次いで期間T₃で、信号φLがハイレベルとなって、垂直信号線49に接続する接地用トランジスタ81がオンし、垂直信号線57が接地される。それと共にノイズ成分を蓄積するための蓄積容量C_{TN}83-1を垂直信号線49に接続するために、φTNをハイレベルとし、ゲートトランジスタ82-1をオンさせる。その時には行選択線60に印加される信号φS0はハイレベルとなっており、フローティングゲートの電位(〜V_{DD})に応じた電流がV_{DD}端子から蓄積容量C_{TN}83-1へ向かって流れ込むことによって、蓄積容量C_{TN}83-1はノイズ成分の電荷を保持するようになる。

【0039】次に期間T₄で、G画素用走査線53に印加される信号φTX_{G0}がハイレベルとなって画素中にあるG画素用転送ゲートがオンし、画素42中の画像光に対応する蓄積電荷がフローティングゲートに転送される。その時には垂直信号線49に接続される蓄積容量は、φTNをロウレベル、φTS₁をハイレベルとすることで、ノイズ蓄積用の蓄積容量C_{TN}から信号蓄積用の蓄積容量C_{TS1}となっており、ホットダイオードa₁₁に相当する奇数列の信号の電荷が垂直信号線49を介して蓄積容量C_{TS1}に保持される。

【0040】次いで期間T₅では、φRVがハイレベルとなって垂直信号線49のみがリセットされる。他の回路はφS0、φTN〜φTS₂がロウレベルであるのでリセットの影響は受けず、その状態は保持されたままである。

【0041】次に期間T₅と期間T₆との間でリセット線54に印加される信号φTX_{R0}がハイレベルとなってフローティングディフュージョンがV_{DD}にリセットされる。

【0042】次に期間T₆では、今度はR/B画素用走査線52に印加される信号φTX_{0e}がハイレベルになって画素42'の蓄積電荷がフローティングゲートに転送され、その時には垂直信号線49に接続される蓄積容量は、φTS₂をハイレベルとすることで信号蓄積用の蓄積容量C_{TS2}となっており、ホットダイオードa₁₂に相当する偶数列の信号電荷が垂直信号線49を介して蓄積容量C_{TS2}に保持される。

【0043】このようにして1行分のノイズ成分、第一の信号、第二の信号の電荷が蓄積容量C_{TN}、C_{TS1}、C

TS2 に各列毎に蓄積される。

【0044】次に期間T7においては、各列の蓄積容量CTN~CTS2に蓄積された電荷を各々順次増幅アンプ86-1~86-3に転送するため、水平シフトレジスタ71により水平走査パルスφHnを各列毎に順次ハイレベルとすることによって各列毎に配置されたゲートトランジスタ84-1、84-2、84-3をオンし、各列毎の蓄積容量CTN~CTS2と増幅アンプ86-1~86-3を導通させる。増幅アンプ86-1~86-3からはノイズ成分と、第一の信号、第二の信号が出力され、差動アンプ87-1によって第一の信号からノイズ成分が引かれたG成分が出力され、また差動アンプ87-2によって第二の信号からノイズ成分が引かれたR/B成分が出力される。また期間T7は、フォトダイオードの光電荷蓄積が行われる期間でもある。

【0045】なお、期間Tsと期間T6との間でリセット線54に印加される信号φTXRoをハイレベルとせずに、リセットを行わない場合には、期間T6では、画素42'の蓄積電荷が(画素42からの転送電荷が残留している)フローティングゲートに転送され、画素42に相当する信号と画素42'に相当する信号との信号2成分の電荷が垂直信号線49を介して蓄積容量CTS2に保持される。したがって1行分のノイズ成分、信号1成分、信号2成分の電荷を蓄積容量CTN、CTS1、CTS2に各列毎に蓄積することができる。そして、期間T7において、増幅アンプ86-1~86-3にノイズ成分と、信号1、信号2成分が出力され、差動アンプ87-1によって信号1成分からノイズ成分が引かれたG成分が出力され、また差動アンプ87-2によって信号2成分からノイズ成分が引かれたR/B成分が出力される。

【0046】上記実施形態では、隣接行間で画素をずらした配置のものについて述べたが、図7に示すように隣接列間で画素をずらすことにより、輝度信号を形成するための主成分であるG画素を等ピッチにするように配置してもよい。

【0047】さらに、上記実施形態では、共通回路として一つの増幅手段に対して複数の画素を配置して単位セルを構成しているが、増幅手段以外であっても、複数の画素からの信号を処理するもの、例えばA/D変換(米国特許第5431425号)や画像圧縮(テレビジョン学会誌vol50, no3, pp335-338, 1995)などの信号処理回路でもよい。

【0048】図8に本発明の撮像装置を用いたシステムブロック図を示す。

【0049】光学系21を経て入射した画像光は撮像装置22上に結像する。撮像装置22で光電変化した信

号は信号処理回路23で、R、G、B処理され、画像信号の記録系あるいは通信系24へ記録あるいは接続される。撮像装置22、信号処理23、記録/通信系はタイミング回路25、システムコントロール26で制御される。

【0050】記録された信号は必要によって再生系27で再生され表示される。

【0051】図9は信号処理系23の概略説明図である。

【0052】撮像装置22からのG及びR/B信号はDSPにより輝度信号と色差信号を形成される。輝度信号の低域成分は少なくとも隣接する2行のR、G、B信号から形成される。

【0053】輝度信号の高域成分は少なくとも隣接する2行のG信号の高域成分から形成される。これにより高解度で色再現の良い画像が得られる。

【0054】

【発明の効果】以上説明したように、本発明によれば、感度、解像度、ダイナミックレンジの広い撮像装置を得る事が出来る。

【図面の簡単な説明】

【図1】本発明の撮像装置の概略レイアウト図である。

【図2】本発明の撮像装置の具体的レイアウト図である。

【図3】本発明の撮像装置の等価回路図である。

【図4】本発明の撮像装置の等価回路図である。

【図5】本発明の撮像装置を動作させるためのタイミングチャートの図である。

【図6】本発明の撮像装置を動作させるためのタイミングチャートの図である。

【図7】本発明の撮像装置の概略レイアウト図である。

【図8】本発明の撮像装置を用いた撮像システム図である。

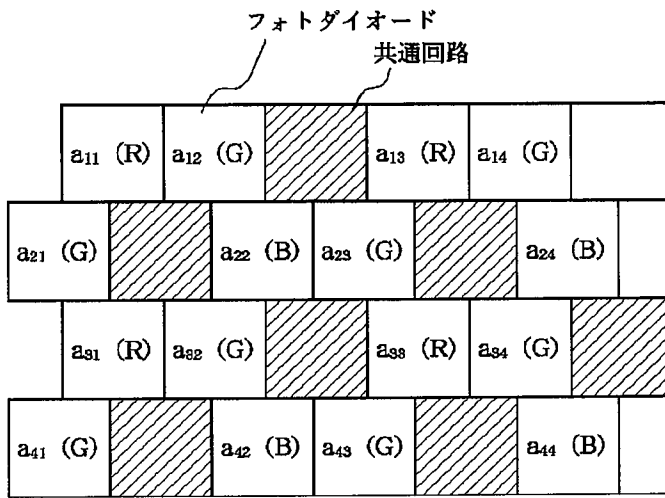
【図9】図7の撮像システムの信号処理系を示す図である。

【図10】撮像装置の概略レイアウト図である。

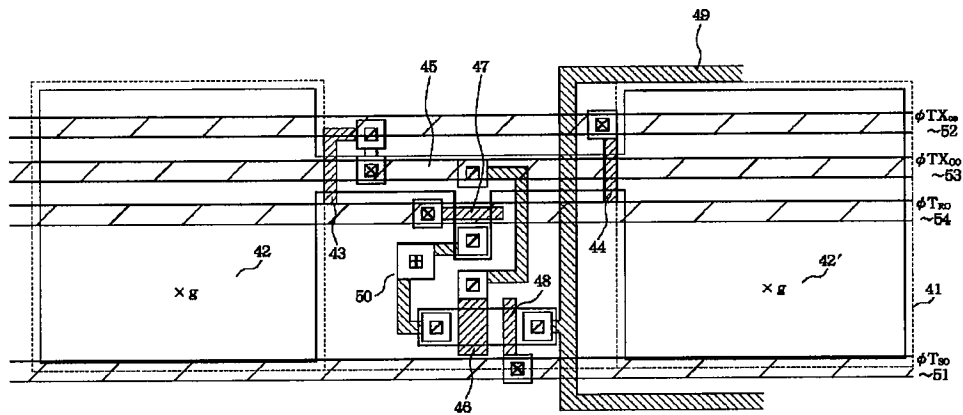
【符号の説明】

- 21 光学系
- 22 撮像装置
- 23 信号処理系
- 42 フォトダイオード
- 63 リセットMOS
- 64 転送MOS
- 65 増幅MOS
- 66 選択MOS
- 72 共通回路

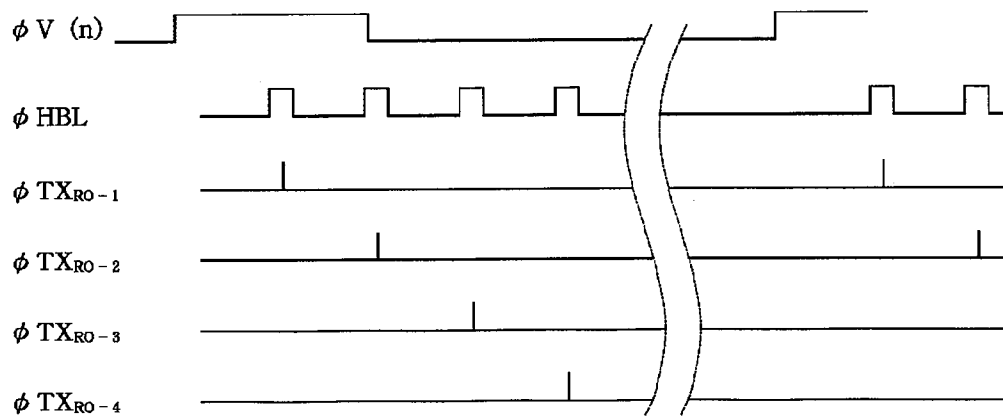
【図1】

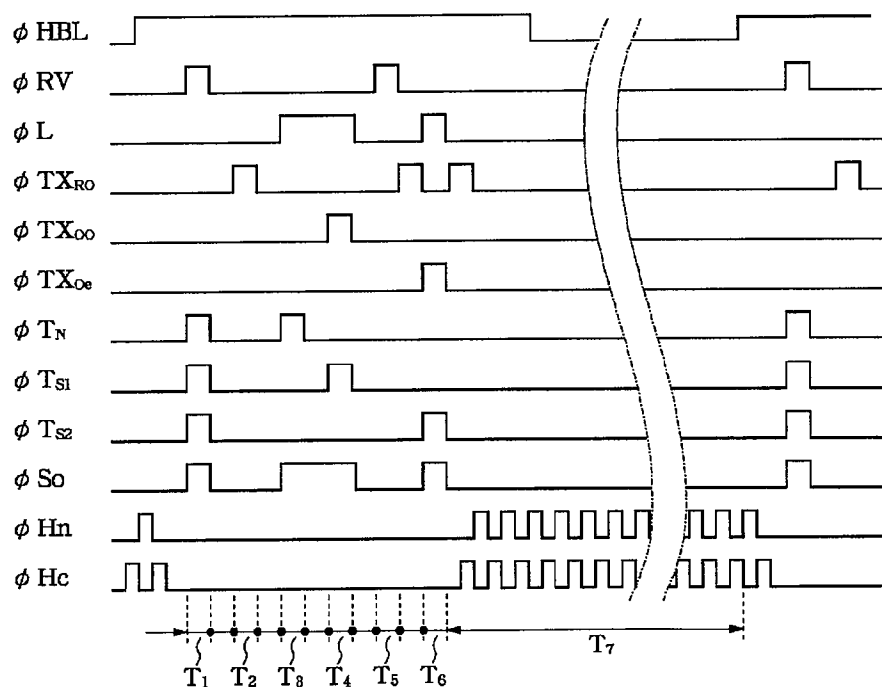
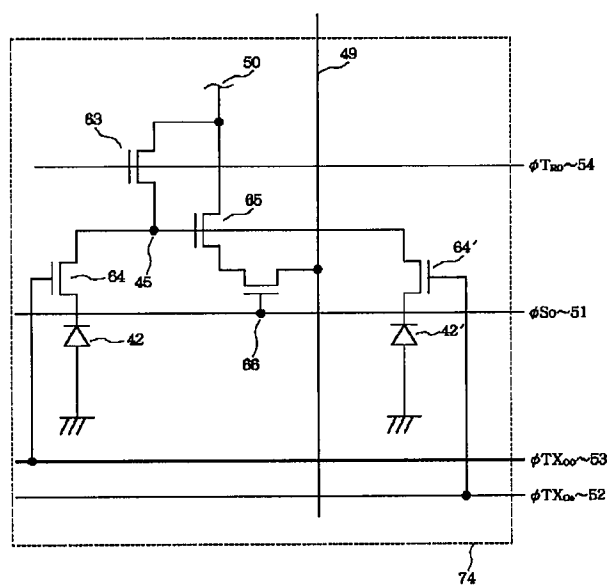
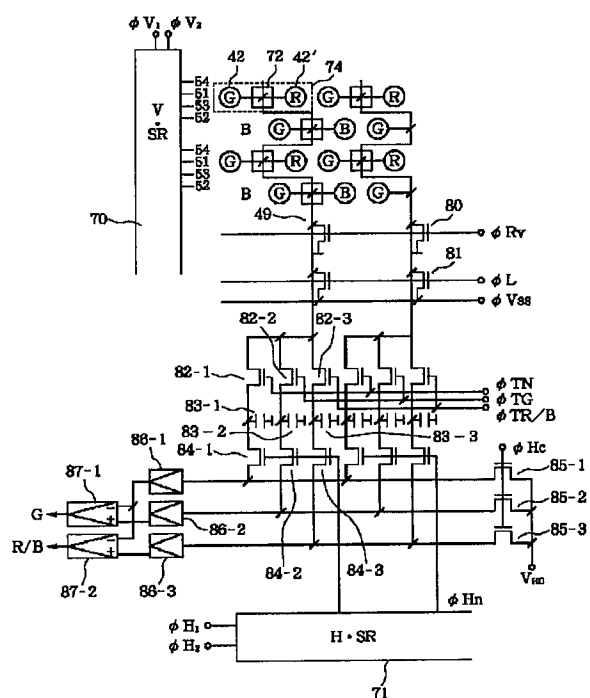


【図2】

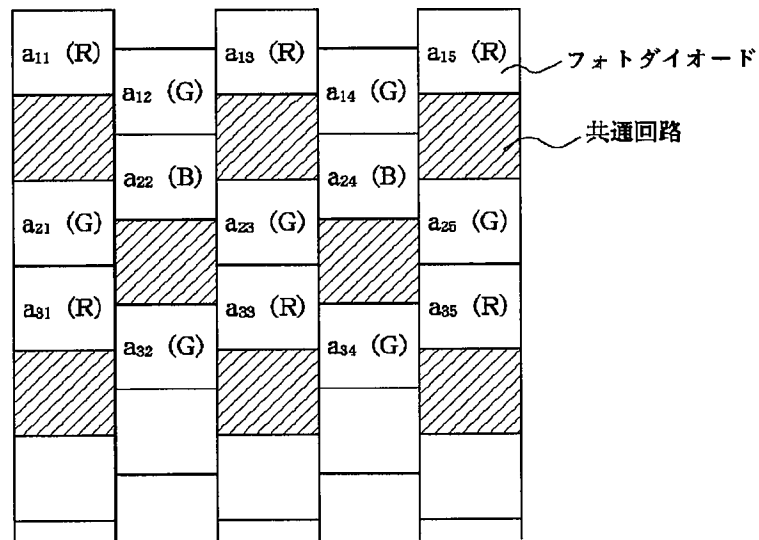


【図5】

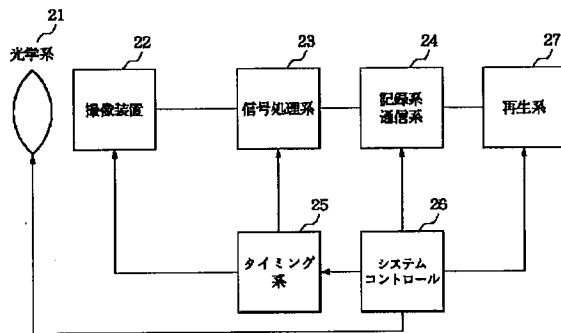




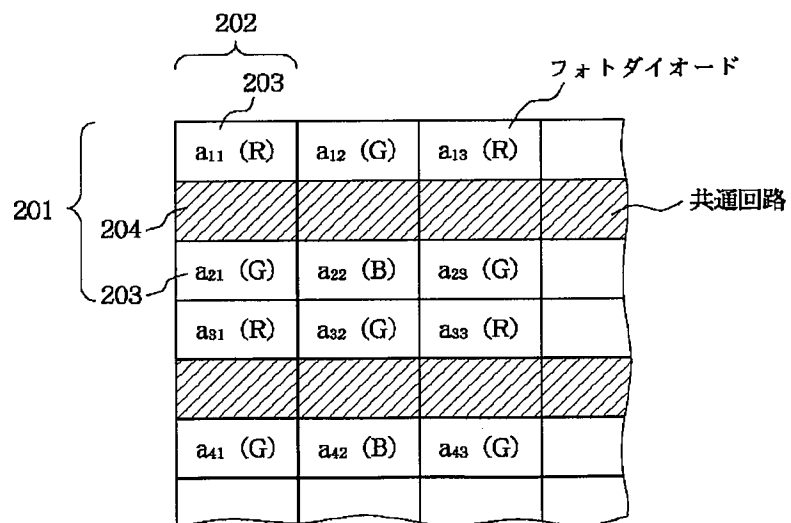
【図7】



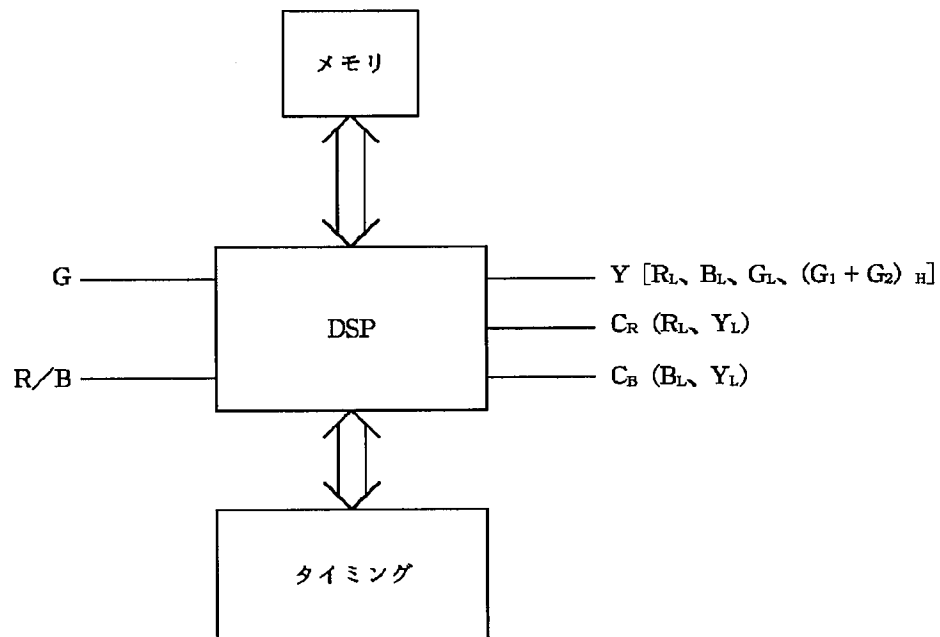
【図8】



【図10】



【図9】



フロントページの続き

F ターム(参考) 5C024 FA11 FA14 GA01 GA31 GA41
 HA07 HA14 HA21 JA04
 5C065 CC01 DD15 DD17 DD20 EE05
 EE06 GG12 GG18 GG49